

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Yasuyuki Kawanishi Art Unit : Unknown
Serial No. : Examiner : Unknown
Filed : January 6, 2004
Title : DRIVE CIRCUIT FOR LASER DIODE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

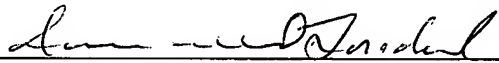
Applicant hereby confirms his claim of priority under 35 USC §119 from the Japanese
Application No. 2003-085664 filed March 26, 2003.

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: Jan 6, 2004



Samuel Borodach
Reg. No. 38,388

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30172908.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF045062518US

January 6, 2004
Date of Deposit

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 6 日

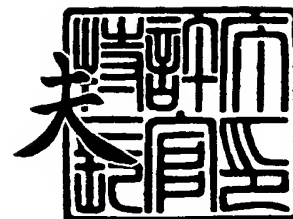
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 8 5 6 6 4
[ST. 10/C]: [J P 2 0 0 3 - 0 8 5 6 6 4]

出 願 人
Applicant(s): 住友電気工業株式会社

2 0 0 3 年 9 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 9 8 8 5



【書類名】 特許願

【整理番号】 103H0148

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 5/042

【発明者】

【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会
社大阪製作所内

【氏名】 川西 康之

【特許出願人】

【識別番号】 000002130

【住所又は居所】 大阪府大阪市中央区北浜四丁目 5 番 3 3 号

【氏名又は名称】 住友電気工業株式会社

【代理人】

【識別番号】 100087701

【弁理士】

【氏名又は名称】 稲岡 耕作

【選任した代理人】

【識別番号】 100101328

【弁理士】

【氏名又は名称】 川崎 実夫

【手数料の表示】

【予納台帳番号】 011028

【納付金額】 21,000円


【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716241



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レーザダイオードの駆動回路

【特許請求の範囲】

【請求項 1】

レーザダイオードの駆動回路に入力される入力信号、及びレーザダイオードの駆動回路からレーザダイオードを駆動するために出力される出力電流信号に混入するノイズを除去するためにフィルタ回路が設けられているレーザダイオードの駆動回路において、

入力信号波形又は出力電流信号波形の立ち上がり直後の所定時間にわたって制御信号を発生する制御信号発生回路と、

前記制御信号を受けた時間、前記フィルタ回路の時定数を低減する時定数低減回路とを有することを特徴とするレーザダイオードの駆動回路。

【請求項 2】

前記時定数低減回路は、電流経路に直列に挿入されたフィルタ回路に対して、電流のバイパス回路として機能する請求項 1 記載のレーザ駆動制御装置。

【請求項 3】

前記時定数低減回路は、電流経路に並列に挿入されたフィルタ回路に対して、フィルタ回路を電流経路から切り離す回路として機能する請求項 1 記載のレーザ駆動制御装置。

【請求項 4】

前記制御信号発生回路は、シュミットトリガ回路で構成される請求項 1 ～請求項 3 のいずれかに記載のレーザ駆動制御装置。

【請求項 5】

前記制御信号発生回路は、ソフトウェアを用いて制御信号を発生するものである請求項 1 ～請求項 3 のいずれかに記載のレーザ駆動制御装置。

【請求項 6】

レーザダイオードの駆動回路に入力される入力信号、及びレーザダイオードの駆動回路からレーザダイオードを駆動するために出力される出力電流信号に混入するノイズを除去するためにフィルタ回路が設けられているレーザダイオードの

駆動回路において、

入力信号波形又は出力電流信号波形の立ち上がり直後の所定時間にわたって制御信号を発生する制御信号発生回路と、

前記制御信号を受けた時間、電流経路を流れる電流を補償する電流補償回路とを有することを特徴とするレーザダイオードの駆動回路。

【請求項 7】

前記電流補償回路は、電流経路に必要量の電流を供給する電流源を含む請求項 6 記載のレーザ駆動制御装置。

【請求項 8】

前記制御信号発生回路は、シュミットトリガ回路で構成される請求項 6 又は請求項 7 に記載のレーザ駆動制御装置。

【請求項 9】

前記制御信号発生回路は、ソフトウェアを用いて制御信号を発生するものである請求項 6 又は請求項 7 に記載のレーザ駆動制御装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体レーザ（レーザダイオードという）を用いた光送信装置における、レーザダイオードの駆動回路に関するものである。

【0 0 0 2】

【従来の技術】

近年、光通信速度が一段と高速化され、これに伴い、レーザダイオードの駆動回路に供給され通信のために用いられる、0, 1 のデジタル信号からなる信号（バースト信号という）も高速化されている。具体的には、バースト信号における 0, 1 のデジタル信号のビット周期は 1 ～ 1 0 ナノ秒程度にまで短縮されている。

【0 0 0 3】

レーザダイオードの駆動回路は、このバースト信号の電気振幅を、レーザダイオードの駆動電流の強弱に変換する。

【 0 0 0 4 】

【特許文献 1】 特開平6-164038号公報

【 0 0 0 5 】**【発明が解決しようとする課題】**

レーザダイオードの駆動回路には、一般的に、入力電圧信号（前述のバースト信号）や出力電流信号（前述の駆動電流）に入るノイズを除去するためのフィルタ回路が設けられている。

ところが、これらのフィルタ回路の持つ時定数のために、信号波形の立ち上がりがなまって、光通信の受信側で、信号の立ち上がり時の 0, 1 のレベルを正確に読み取れなくなるおそれがある。

【 0 0 0 6 】

フィルタ回路を省くことも考えられるが、ノイズが増大して通信の品質を落としてしまう。

そこで、本発明は、フィルタ回路の機能を生かしながら、品質の高い光信号を伝送することができるレーザダイオードの駆動回路を提供することを目的とする。

【 0 0 0 7 】**【課題を解決するための手段】**

（1）本発明のレーザダイオードの駆動回路は、レーザダイオードの駆動回路に入力される入力信号、及びレーザダイオードを駆動するために出力される出力電流信号に混入するノイズを除去するために設けられるフィルタ回路と、入力信号波形又は出力電流信号波形の立ち上がり直後の所定時間だけ制御信号を発生する制御信号発生回路と、前記制御信号に応動して前記フィルタ回路の時定数を低減する時定数低減回路とを有する。

【 0 0 0 8 】

この構成によれば、入力信号波形又は出力電流信号波形の立ち上がり直後の所定時間だけ、フィルタ回路の時定数が低減されているので、信号波形の立ち上がりを、それだけ急峻なものにすることができる。なお、「時定数の低減」とは、時定数を 0 にすることを含むものとする。

前記時定数低減回路は、電流経路に直列に挿入されたフィルタ回路に対して、電流をバイパスする回路であってもよく、電流経路に並列に挿入されたフィルタ回路に対して、フィルタ回路を電流経路から切り離す回路であってもよい。

【0009】

また、前記制御信号発生回路は、シュミットトリガ回路のようなハードウェアで構成されるものであってもよく、ソフトウェアを用いて構成されるものであってもよい。

(2) また、本発明のレーザダイオードの駆動回路は、前記制御信号に応動して前記フィルタ回路の時定数を低減する時定数低減回路に代えて、電流経路を流れる電流を補償する電流補償回路を有するものである。

【0010】

この構成によれば、入力信号波形又は出力電流信号波形の立ち上がり直後に、電流補償回路によって、信号波形形成に必要な電流を、フィルタ回路の時定数に遅れることなく、電流経路に供給することができる。

前記電流補償回路は、例えば、電流経路に必要な量の電流を供給する電流源であってもよい。

また、前記制御信号発生回路は、シュミットトリガ回路のようなハードウェアで構成されるものであってもよく、ソフトウェアを用いて構成されるものであってもよい。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態を、添付図面を参照しながら詳細に説明する。

図1は、本発明のレーザダイオードの駆動回路1を示す回路図である。

LDの駆動回路1は、2つのFET1, 2からなる差動増幅回路、変調振幅を制御するためのFET3、LDのバイアスを設定するためのFET4、差動増幅回路の負荷に入ったLD、及び前記LDと、変調振幅制御用FET3と、バイアス設定用FET4とにそれぞれ直列に挿入されたフィルタ回路2a, 2b, 2c, (以下総称するときは“2”を用いる)を備えている。これらのフィルタ回路2が挿入される経路を「電流経路」という。

【0012】

差動増幅回路を構成する2つのFET1, 2のゲートには、信号回路（図示せず）から、レーザダイオードを高速でオンオフするためのバースト信号が入力される。変調振幅制御用FET3のゲートには変調振幅信号が入力され、バイアス設定用FET4のゲートにはバイアス設定信号が入力される。さらに、3つのフィルタ回路2には、それぞれ信号回路（図示せず）からバースト開始信号が入力される。

【0013】

フィルタ回路2は、それぞれ駆動電流信号、変調振幅信号、バイアス設定信号に重畳されてくるノイズを除去するために設けられる回路である。

図2は、レーザダイオードの駆動電流 I と時間 t との関係を示すグラフである。LD駆動電流 I の振幅の幅を I_w で、バイアス電流値を I_B で示している。振幅の幅 I_w は、前記変調振幅信号の大きさに応じて決定され、バイアス電流値 I_B は、前記バイアス設定信号の大きさに応じて決定される。

【0014】

バースト信号は、図3(a)に示すように、極めて短い周期（例えば1～10ナノ秒）で、1, 0を繰り返す信号である。LDの駆動回路1は、バースト信号に基づいて、レーザダイオードを駆動するための駆動電流 I を発生する。レーザダイオードの出力光は、この駆動電流信号で強度変調される。強度変調された光は、伝送用光ファイバ（図示せず）に入射され、この光ファイバを伝搬する。

バースト開始信号は、バースト信号の立ち上がりの時点で発生する信号（図3(b)）である。このバースト開始信号は、信号回路（図示せず）でバースト信号を作成するときと同時に作成され、フィルタ回路2に供給される。

【0015】

さて、差動増幅回路から出力されるLD駆動信号は、理想的には、図4(a)に示すように、矩形状の形をしている。ところが、前記フィルタ回路2が電流経路に入っていると、フィルタの持つ時定数のために図4(b)のような立ち上がりの悪い波形になってしまう。

そのため、本発明では、フィルタ回路2内の時定数を決める箇所をバイパスし

たり、フィルタを外したり、電流を能動的に追加することによって、バースト波形の立ち上がり直後の実質的な時定数を小さくし、波形を整形している。

【0016】

以下、フィルタ回路2の具体例と、その時定数を実質的に小さくする方法を説明する。

図5(a)は、抵抗RとコイルLで構成した直列型フィルタ回路21を示し、図5(b)は、バースト開始信号に基づいて、スイッチング素子FET5でコイルLを短絡するようにした回路を示す。このスイッチング素子FET5が「時定数低減回路」となる。

【0017】

バースト開始信号は、スイッチ制御信号発生回路3に入力されて、ここでスイッチング素子FET5のゲートに供給するスイッチ制御信号が生成される。このスイッチ制御信号によって、スイッチング素子FET5が導通されて、コイルLが短絡される。従って、時定数がその時間だけほぼ0になる。

図6(a)は、抵抗RとコンデンサCで構成した並列型フィルタ回路22を示し、図6(b)は、バースト開始信号に基づいて、スイッチング素子FET6で電流経路の分路を遮断するようにした回路を示す。このスイッチング素子FET6が「時定数低減回路」となる。

【0018】

バースト開始信号は、スイッチ制御信号発生回路3に入力されて、ここから、反転回路4を通してスイッチング素子FET6のゲートに供給される。これにより、スイッチング素子FET6が遮断される。従って、抵抗RとコンデンサCによる電流経路の分路はなくなり、時定数がその時間だけほぼ0になる。

なお、バースト開始信号が消滅すると、分路はつながるが、このとき電流経路を流れる電流をコンデンサCの充電に使うのは好ましくないので、スイッチング素子FET6の遮断時に、スイッチング素子FET7を導通させて、電源からコンデンサCの充電を行うようにしている。

【0019】

図7は、抵抗R、コイルL、コンデンサCなどで構成した直列型フィルタ回路

23と、それに並列に接続した電流源5と、電流源5をオンオフするためのスイッチング素子FET8と、スイッチ制御信号発生回路3とからなる回路を示す。これらの電流源5とスイッチング素子FET8が「電流補償回路」となる。

バースト開始信号は、スイッチ制御信号発生回路3に入力されて、ここでスイッチング素子FET8のゲートに供給するスイッチ制御信号が生成される。このスイッチ制御信号が発生すると、スイッチング素子FET8が導通して、電流源5の電流が直列型フィルタ回路23を流れる電流に追加されて、全体の電流を底上げする。したがって、バースト波形先導部における、駆動電流Iの立ち上がりを速めることができる。

【0020】

ここで、スイッチ制御信号発生回路3の具体的構成例を説明する。スイッチ制御信号発生回路3はハードウェアで構成することもできるし、ソフトウェアで構成することもできる。

図8は、ハードウェアで構成した場合の回路図であり、その一例としてシュミットトリガ回路6を用いている。シュミットトリガ回路6は、オン時の時定数とオフ時の時定数とが異なるため、バースト開始信号の立ち上がり時刻でほぼ同時に立ち上がり、バースト開始信号の立ち下がり時刻で一定時間遅れて立ち下がる出力信号が得られる。

【0021】

図9(a)は、バースト開始信号の信号波形を示し、図9(b)は、これに対応するシュミットトリガ回路6の出力信号の波形を示している。

ソフトウェアで構成する場合は、プログラマブルロジックICや出力インターフェイス付CPUに、パルス幅を変えるプログラムを格納して、バースト開始信号に基づいて、パルス幅の広がった出力信号を取り出すようにすればよい。ソフトウェアで構成する利点は、温度などの環境条件に応じて柔軟に特性を変更できる点にある。

【0022】

以上で、本発明の実施の形態を説明したが、本発明の実施は、前記の形態に限定されるものではない。例えば、図1では、LDと、変調振幅制御用FET3と

、バイアス設定用 F E T 4 との電流経路にそれぞれ直列にフィルタ回路 2 a , 2 b , 2 c が挿入されていた。しかし、フィルタ回路 2 a , 2 b , 2 c を 3 つとも用いずに、L D と、変調振幅制御用 F E T 3 と、バイアス設定用 F E T 4 とのいずれか 2 つの電流経路にフィルタ回路を挿入するだけでも、本発明の効果は得られる。または L D と、変調振幅制御用 F E T 3 と、バイアス設定用 F E T 4 との中からいずれか 1 つの電流経路にフィルタ回路を挿入するだけでも、本発明の効果は得られる。また、いままで使用したスイッチング素子 F E T 5 ~ 8 は、切換えスイッチとして機能したが、半導体素子の動作点を適切に設定することにより、アナログ的に抵抗が変化する可変抵抗器として動作させてもよい。その他本発明の範囲内において、種々の変更を施すことが可能である。

【 0 0 2 3 】

【発明の効果】

以上のように本発明によれば、バースト信号波形の立ち上がり直後に、フィルタ回路の時定数を低減したり、電流を付加したりすることにより、信号波形の形成ができ、信号波形の立ち上がり時のなまりを防止することかできる。従って、出力信号波形の定常的な品質の低下を避けることができる。なおバースト信号波形の立ち上がり直後にノイズが載る可能性はあるが、安定後、直ちにフィルタ回路をつなぐので、恒常的なノイズの発生は抑えられる。

【図面の簡単な説明】

【図 1】

本発明のレーザダイオードの駆動回路を示す回路図である。

【図 2】

レーザダイオードの駆動電流 I の時間推移を示すグラフである。

【図 3】

バースト信号波形(a)とバースト開始信号波形(b)とを示すグラフである。

【図 4】

理想的な L D 駆動信号波形(a)とフィルタ回路によって立ち上がりが遅れた L D 駆動信号波形(b)とを示すグラフである。

【図 5】

抵抗RとコイルLで構成した直列型フィルタ回路(a)と、バースト開始信号に基づいて、スイッチング素子を用いてコイルLを短絡する制御信号発生回路(b)とを示す回路図である。

【図6】

抵抗RとコンデンサCで構成した並列型フィルタ回路(a)と、バースト開始信号に基づいて、スイッチング素子1で電流経路の分路を遮断するようにした制御信号発生回路(b)を示す回路図である。

【図7】

抵抗R、コイルL、コンデンサCなどで構成した直列型フィルタ回路に並列に接続した電流源と、電流源をオンオフするためのスイッチング素子からなる制御信号発生回路を示す回路図である。

【図8】

制御信号発生回路を、シュミットトリガ回路で構成した場合の回路図である。

【図9】

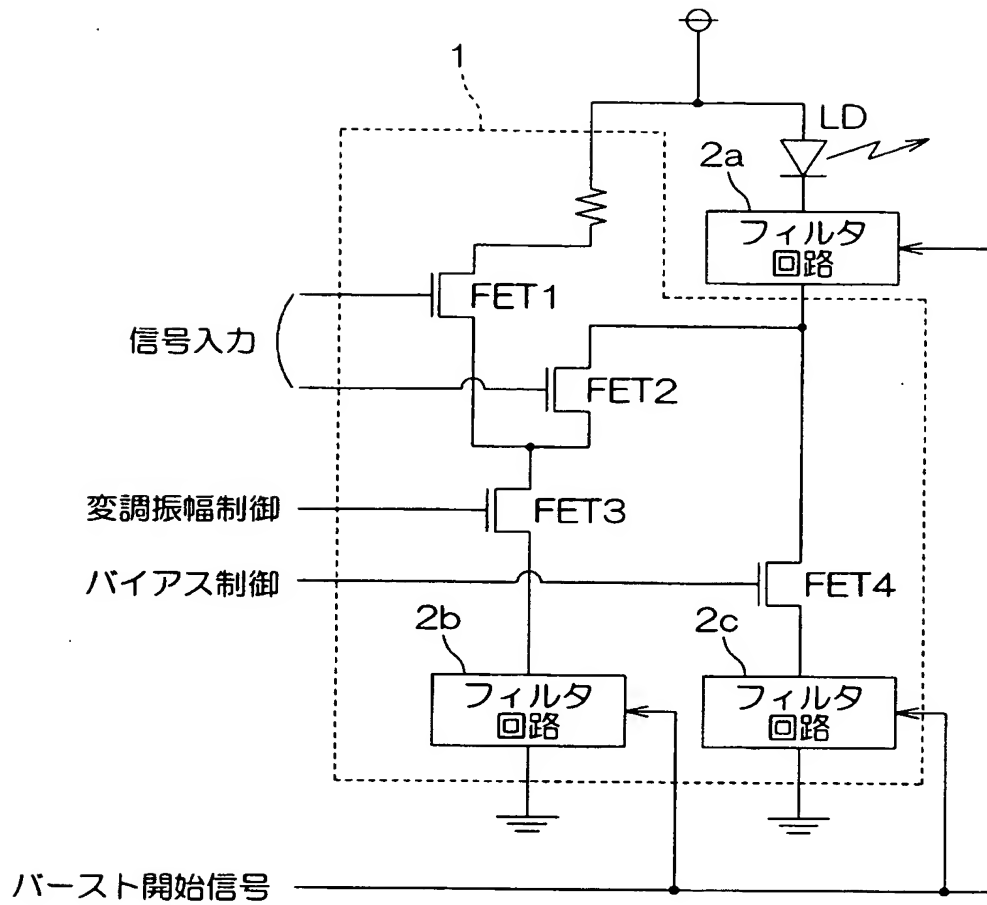
バースト開始信号の信号波形(a)と、これに対応するシュミットトリガ回路の出力信号の波形(b)とを示す図である。

【符号の説明】

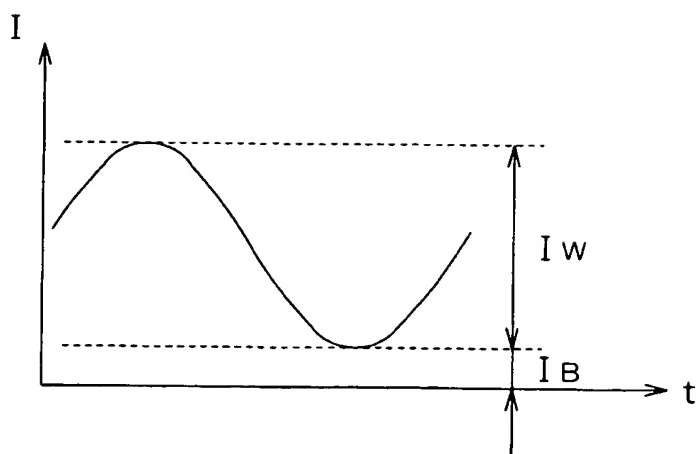
- 1 LDの駆動回路
- 2 フィルタ回路
- 2 a, 2 b, 2 c フィルタ回路
- 3 スイッチ制御信号発生回路
- 4 反転回路
- 5 電流源
- 6 シュミットトリガ回路
- 2 1 直列型フィルタ回路
- 2 2 並列型フィルタ回路
- 2 3 直列型フィルタ回路

【書類名】 図面

【図 1】



【図 2】



【図 3】

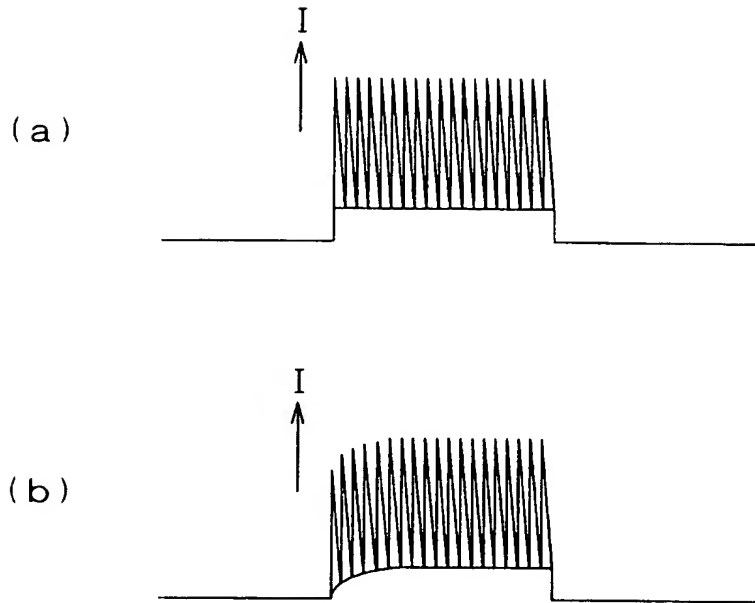
(a) バースト信号



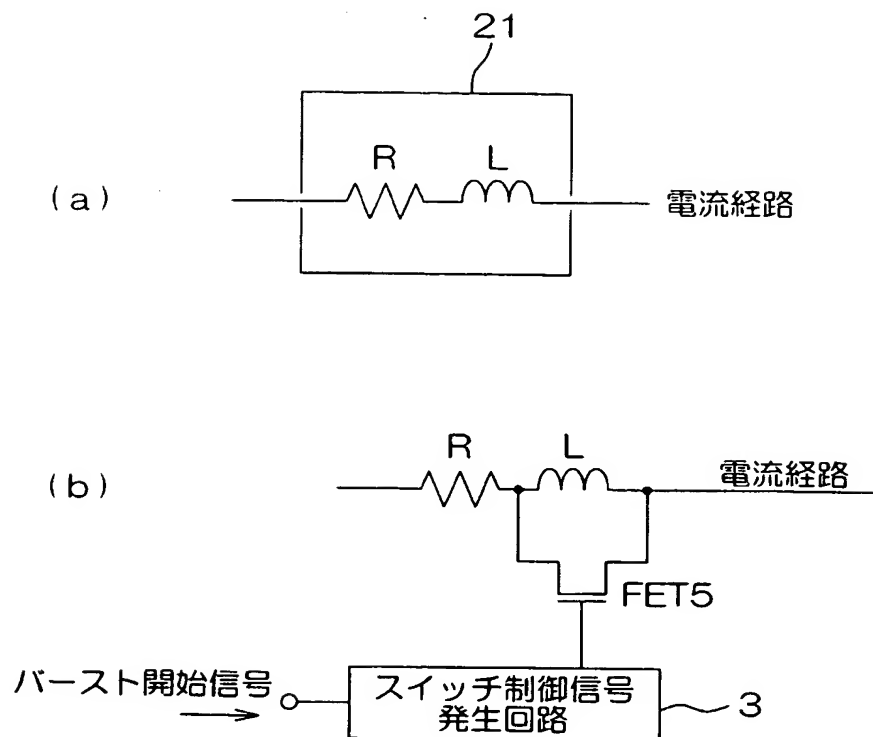
(b) バースト開始信号



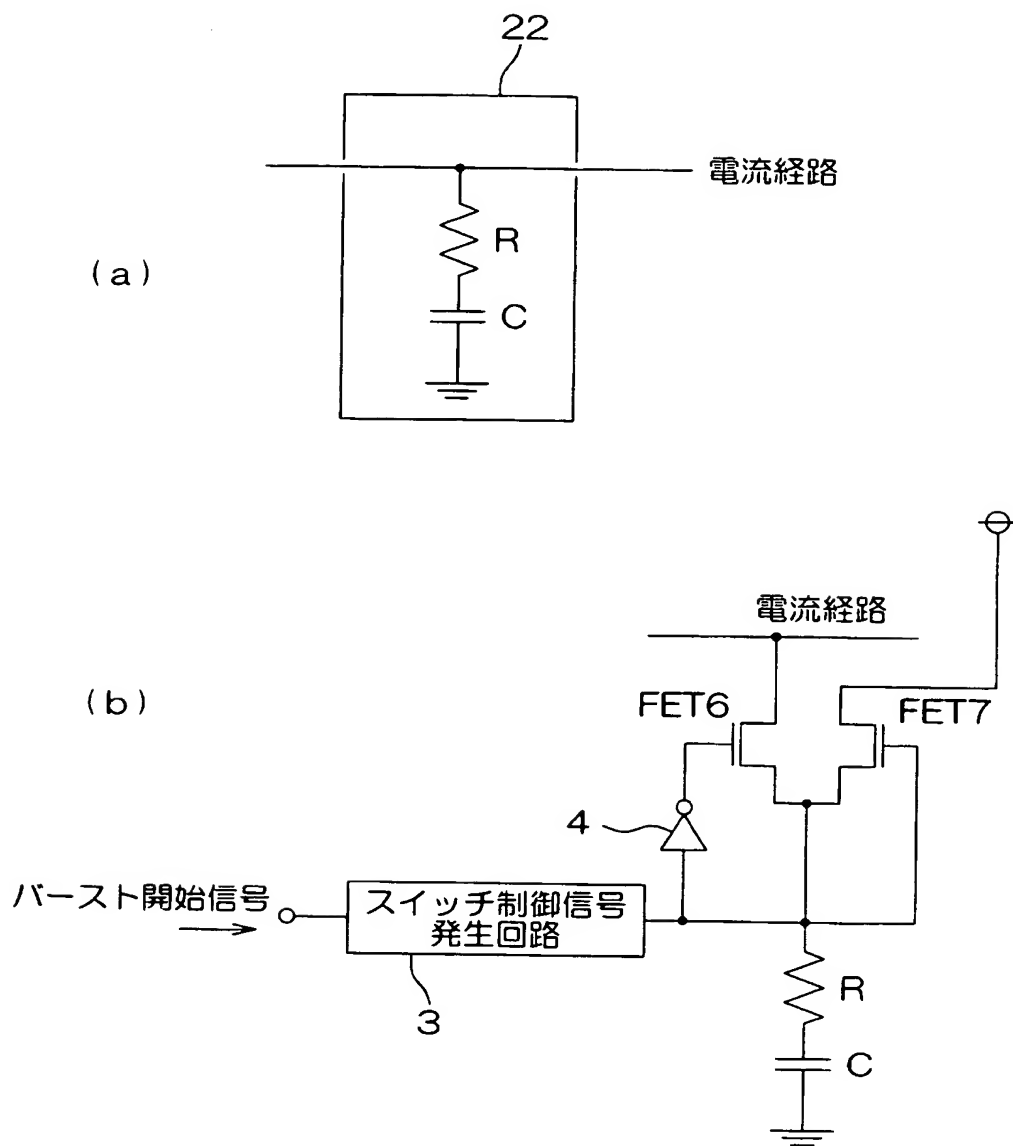
【図 4】



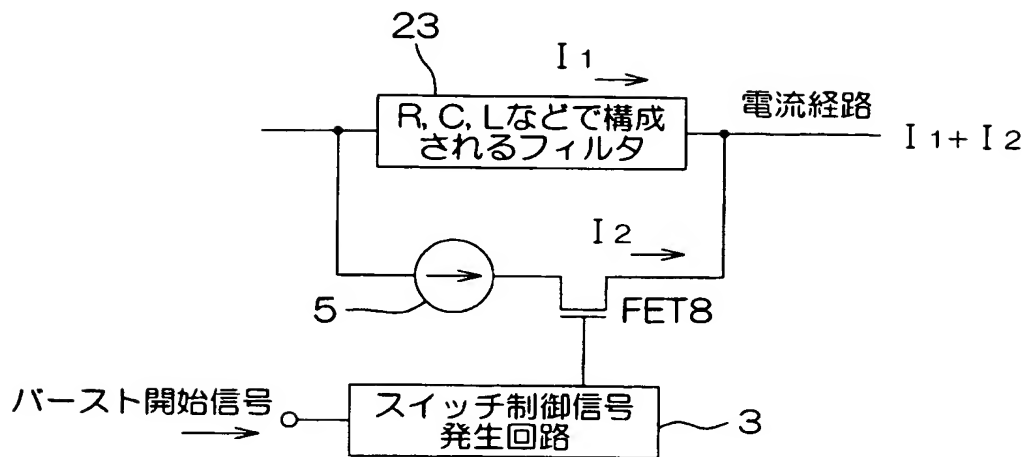
【図5】



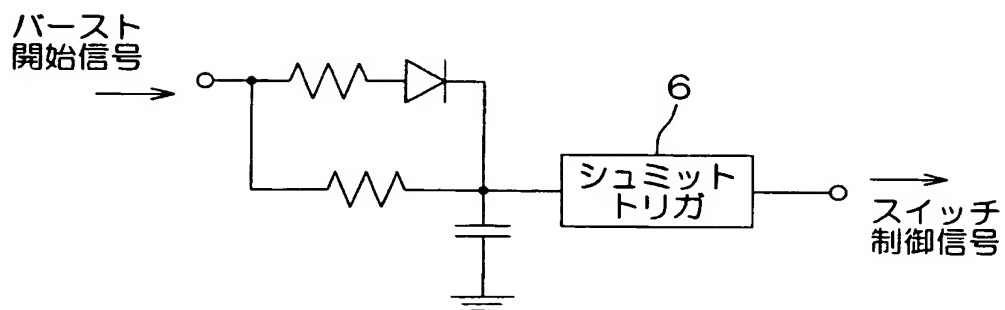
【図 6】



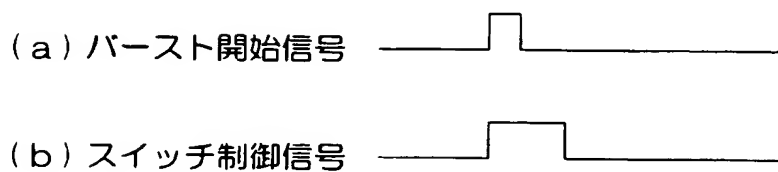
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 レーザダイオードの駆動回路 1 には、ノイズを除去するためのフィルタ回路が設けられている。フィルタ回路の持つ時定数のために、信号波形の立ち上がりがなまって、光通信の受信側で、信号の立ち上がり時の 0, 1 のレベルを正確に読み取れなくなるおそれがあるので、これを防止する。

【解決手段】 入力信号波形又は出力電流信号波形の立ち上がり直後の所定時間にわたって制御信号を発生する制御信号発生回路 3 と、前記制御信号を受けた時間、フィルタ回路 2 1 の時定数を低減する時定数低減回路 F E T 5 とを有する。

【選択図】 図 5

特願 2 0 0 3 - 0 8 5 6 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 3 0]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市中心区北浜四丁目 5 番 3 3 号

氏 名

住友電気工業株式会社